

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2003 EPO. All rts. reserv.

8554586

Basic Patent (No,Kind,Date): JP 1039176 A2 890209 <No. of Patents: 002>

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date
JP 1039176	A2	890209	JP 87194403	A	870805 (BASIC)
JP 2610438	B2	970514	JP 87194403	A	870805

Priority Data (No,Kind,Date):

JP 87194403 A 870805

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 1039176 A2 890209

SOLID STATE IMAGE PICKUP DEVICE (English)

Patent Assignee: OLYMPUS OPTICAL CO

Author (Inventor): MIZOGUCHI TOYOKAZU

Priority (No,Kind,Date): JP 87194403 A 870805

Applie (No,Kind,Date): JP 87194403 A 870805

IPC: * H04N-005/335

Derwent WPI Acc No: ; G 89-089197

JAPIO Reference No: ; 130232E000099

Language of Document: Japanese

Patent (No,Kind,Date): JP 2610438 B2 970514

Priority (No,Kind,Date): JP 87194403 A 870805

Applie (No,Kind,Date): JP 87194403 A 870805

IPC: * H04N-005/335

Derwent WPI Acc No: * G 89-089197

JAPIO Reference No: * 130232E000099

Language of Document: Japanese



(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2610438号

(45)発行日 平成9年(1997)5月14日

(24)登録日 平成9年(1997)2月13日

(51)Int.Cl.
H 0 4 N 5/335

識別記号

庁内整理番号

F I
H 0 4 N 5/335

技術表示箇所
R

発明の数1(全12頁)

(21)出願番号 特願昭62-194403
(22)出願日 昭和62年(1987)8月5日
(65)公開番号 特開平1-39176
(43)公開日 平成1年(1989)2月9日

(73)特許権者 99999999
オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号
(72)発明者 清口 畏和
東京都渋谷区幡ヶ谷2丁目43番2号 オ
リンパス光学工業株式会社内
(74)代理人 弁理士 最上 健治
審査官 西谷 雄人
(56)参考文献 特開 昭55-11683 (J P, A)
特開 昭62-95074 (J P, A)

(54)【発明の名稱】 固体撮像装置の駆動方法

(57)【特許請求の範囲】

【請求項1】非破壊読み出し可能なイメージセンサを備えた固体撮像装置の駆動方法において、遮光せずに前記イメージセンサのリセット直後に非破壊的に読み出された出力信号を暗出力信号としてフレームメモリに記憶し、所定の時間積分後に前記イメージセンサから光出力信号を読み出し、該光出力信号から前記フレームメモリより読み出された前記暗出力信号を減算することにより、暗出力信号の除去された出力信号を得ることを特徴とする固体撮像装置の駆動方法。

【発明の詳細な説明】

【産業上の利用分野】

この発明は、固定パターンノイズ等を除去しSN比を向上させた高感度な固体撮像装置の駆動方法に関する。
【従来の技術】

10

従来、固体撮像装置としてはMOSトランジスタを使用したもの、あるいはCCD,BBD等の電荷結合デバイスを使用したものが一般的である。しかしMOSトランジスタを使用したものは、出力信号が微弱であり、SN比が悪く、光感度も低いという欠点があり、またCCD,BBD等を用いたものは電荷転送時に電荷の損失があり、製造も困難である等の欠点があるものである。

これらの欠点を解決するものとして、各画素に静電誘導トランジスタ (Static Induction Transistor,以下SITと略称する) を用いた固体撮像装置が提案されている。この中の一つとして、特願昭61-277346号には次のような構成のものが提案されている。すなわち、複数の行ライン及び複数の列ライン間にマトリックス状に配列され、ケート電極を行ラインに、一方の主電極を列ラインにそれぞれ接続した複数のSITと、前記複数の列ライ

3
ンの各々にサンプル用トランジスタを介して接続したドライブ用トランジスタと、前記SITに蓄積された信号を、所定の読み出し期間中に行ライン毎に一齊に読み出して前記サンプル用トランジスタを介して前記ドライブ用トランジスタにホールドし、そのホールドされた信号を水平走査期間内で順次読み出す駆動手段と、前記所定の読み出し期間以外の期間中に全てのSITのゲート電位をブルーミングが発生しない所定の電位にクランプし得るクランプ手段と備え、マトリックス状に配列されたSITに蓄積された信号を、所定の読み出し期間中に行ライン毎に一齊に読み出してホールドし、それらを水平走査期間内で順次読み出すと共に、前記所定の読み出し期間以外の期間中ににおいて全てのSITの中で、そのゲート電位がブルーミングが発生しない所定の電位を越えるものに対して、そのゲート電位を前記所定の電子にクランプするようにして、ブルーミング耐性を向上させ高画質が得られるようにしたものが開示されている。

〔発明が解決しようとする問題点〕

ところで、上記提案された固体撮像装置は、ブルーミング耐性が強く、行ライン単位で読み出すため積分時間が等しくなりフォーカルプレーンシャッター機能を有し、また駆動パルスを調整することにより非破壊読み出しが可能となるなどの特徴を有するものであるが、その信号出力には種々のノイズが現れる可能性があるものである。

第7図は、上記提案された固体撮像装置の一画素に着目した時の信号読み出し回路図で、第8図は、それに印加するパルスのタイミング及び各部の電位波形を示す図である。次にこれらを参照しながら、上記提案の固体撮像装置において発生するノイズについて説明する。なお第7図において、101は画素を構成するSIT、M_Hは水平選択スイッチを構成するスイッチ用MOSFET、M_Dはドライブ用MOSFET、M_Sはサンプル用MOSFET、M_Rはリセット用MOSFET、R_Eは負荷抵抗、φ_{SE}は水平選択パルス、φ_{SH}はサンプリングホールドパルス、φ_{SD}は垂直走査パルス、φ_{SR}はリセットパルス、C_Gは画素SITのゲートキャパシタ、PDIは画素SITのゲートとソースで構成されるフォトダイオード、C_Sは画素SITのゲート・ドレイン間の寄生容量とゲート・ソース間の寄生容量を加えた接合容量、C_zはソースラインの浮遊容量を示している。

まずリセット時におけるノイズについて説明する。リセットパルスφ_{SR}がhighレベルになりリセット用MOSFETM_Rがターンオンし、ゲート印加垂直走査パルスφ_{SD}にリセット電位V_{RS}が現れると、画素SIT101のゲートとソースで構成されるフォトダイオードPDが順バイアスされ、該フォトダイオードPDに蓄積されていた光電荷はソース端に放電する。ゲートパルスφ_{SD}のリセット電位V_{RS}が立ち下がる時、SIT101ゲートにつながるゲートキャパシタC_Gは、

$$\frac{1}{C_G} \cdot (\phi_S - \frac{V_{RS}}{C_G + C_s})$$

に充電され、ゲートの電位がリセットされる。ここでφ_Sは、ゲート・ソース間フォトダイオードPDの順方向閾値電圧である。

しかしこのゲートリセット電位は、フォトダイオードPDの順方向閾値電圧φ_Sのばらつき、及びC_G、C_sの容量値のばらつき特にその比率のばらつきにより、画素毎にばらつくことが考えられる。これらのばらつきは、固体撮像装置の信号再生時に、時間的及び空間的にそのばらつきの様子が変わらない固定パターンノイズとなる。またC_Gをゲートリセット電位に充電する時生ずる電位の揺らぎは、同一画素においても瞬間にリセット電位を変化させ、これは信号再生時にランダム雑音となるものと考えられる。またリセット時間内に該リセット動作が完全に行われなかつたとき、リセット電位にむらが生じ、これは信号再生時に残像として現れることが考えられる。

一方読み出し時におけるノイズとしては次のようものが考えられる。すなわちリセット用MOSFETM_Rがターンオフし、ゲート印加パルスφ_{SD}に読み出しパルスV_{RD}が現れると、ゲートには、

$$\frac{1}{C_G + C_s} \cdot V_{RD}$$

の電位が印加される。この時画素によってC_G、C_sの大きさ特にその比率が異なってしと、画素毎にゲートに印加されるバイアスが異なっていることになり、これは前述の固定パターンノイズとなって出力信号に現れる。なお第8図において△Vは光電位△Qの蓄積によるゲート電位の上昇を示している。また画素SITのビンチオフ電圧V₀のばらつきも固定パターンノイズの原因となる。更に読み出し回路を構成する、スイッチ用MOSFETM_H、ドライブ用MOSFETM_D、サンプル用MOSFETM_Sの特性、例えばスレショルド電圧V_Tや相互コンダクタンス_{MH}がばらついていると、特にソース（列ライン）電圧V_Sが小さい場合、信号再生時に、列ライン毎の出力むらとして現れる固定パターンノイズとなる。

本発明は、先に提案された固体撮像装置における上記問題点を解消するためになされたもので、非破壊読み出し機能を利用し、上記リセット時及び読み出し時に発生する種々のノイズを除去し、高SN比をもつ高感度な固体撮像装置の駆動方法を提供することを目的とする。

〔問題点を解決するための手段及び作用〕

上記問題点を解決するため、本発明は、非破壊読み出し可能なイメージセンサを備えた固体撮像装置の駆動方法において、遮光せずに前記イメージセンサのリセット

5

直後に非破壊的に読み出された出力信号を暗出力信号としてフレームメモリに記憶し、所定の時間積分後に前記イメージセンサから光出力信号を読み出し、該光出力信号から前記フレームメモリより読み出された前記暗出力信号を減算することにより、暗出力信号の除去された出力信号を得ることを特徴とするものである。

このように構成した固体撮像装置の駆動方法においては、イメージセンサを遮光せずにリセットを行い、リセット直後の信号を非破壊的に読み出す。この時の出力信号は積分時間が非常に短いため暗出力信号、すなわち固定パターンノイズ信号とみなされる。この暗出力信号の1フレーム分をフレームメモリに記憶させる、続いて所定の積分時間経過後に光出力信号を読み出す。この時読み出された光出力信号には、前記暗出力信号の読み出しは非破壊的に行われているため、その非破壊的読み出された暗出力信号成分がそのまま含まれている、したがって、この光出力信号からフレームメモリに記憶された暗出力信号を減算することにより、暗出力信号すなわち固定パターンノイズを正確に除去した出力信号を得ることができる。そして、暗出力信号は、イメージセンサを遮光せずにリセット直後の信号を非破壊的に読み出して得るものであるから、遮光動作を必要としない。

なお、イメージセンサのリセット直後の出力信号は積分時間が非常に短いため暗出力信号とみなされるが、リセット直後に非常に強い光が入射した場合等には、リセット直後の出力信号には暗出力と共に暗出力信号を読み出すまでの時間に積分される光信号が読み出されることもある。しかし、この場合でも、所定の積分時間後の出力信号にはリセット直後の出力信号も含まれるため、所定の積分時間後の出力信号とリセット直後の出力信号との差をとれば、暗出力と共に暗出力信号を読み出すまでの時間に積分された光信号も同時に除去され、問題は生じない。

このように本発明においては、遮光動作を必要とせず、リセット動作毎すなわち1フレーム毎に暗出力が得られるので、同一画素でリセット動作毎に変わる暗出力の時間的揺らぎも容易に除去できる。すなわち、リセット動作毎に変化する固定パターンノイズの成分もリアルタイムに除去できる。また、暗出力信号の読み出しに関してもイメージセンサを遮光する必要がなく、光入射状態のままで行うことができる。これらの動作は、非破壊読み出し可能なイメージセンサを用いて非破壊読み出し動作を行うことにより可能となるものである。この非破壊読み出しでは、露光(積分)途中の出力信号を何回でも読み出せるものであり、この非破壊読み出しはSITやCCDなどの内部増幅機能をもつイメージセンサの特徴となっている。したがって、通常の内部増幅機能をもたないイメージセンサを用いた場合には、このような暗出力信号の読み出しや正確な固定パターンノイズの除去は不可能である。

6

すなわち、通常の破壊読み出しを行いうイメージセンサにおいては、リセット直後の信号を読み出し、これを暗出力信号とすることはできる。しかし、この暗出力信号の読み出しは破壊読み出しであり、その時点で再度リセットされた状態となり、以後新たに積分が開始されることになる。したがって、暗出力信号を読み出した後、所定の積分時間後に読み出される出力信号には、先にリセット直後に読み出された暗出力信号成分自体は含まれていない。そのため、所定の積分時間後に読み出された出力信号からリセット直後の暗出力信号を減算しても、正確な固定パターンノイズは除去出来ず、却って、リセット直後の暗出力信号成分を含んでいない所定の積分時間後に読み出された出力信号から、リセット直後の暗出力信号を差し引くことにより、所定の積分時間後に読み出された出力信号にリセット直後の暗出力信号成分に基づく新たな固定パターンノイズが付加される要因となる。これは、特にリセット直後に強い光が入射した場合などにおいて、リセット直後に読み出された暗出力信号に光信号が含まれている場合に、特に顕著な固定パターンノイズの付加要因となる。本発明は、上記のようにリセット直後に非破壊的に読み出した出力信号を暗出力信号とするものであるため、破壊読み出しによる上記問題は発生せず、正確に暗出力信号の除去された出力信号を得ることができる。

〔実施例〕

以下実施例について説明する。まず第1図に示す本発明に係る固体撮像装置の駆動方法を説明するための固体撮像装置の基本的な構成例について説明する。図において、1は非破壊読み出し可能なイメージセンサで、マトリックス状に配列され複数の行ライン及び複数の列ラインに接続された複数のSIT画素111と、水平走査及び読み出し回路112と、垂直走査回路113とで構成されている。そして該イメージセンサ1の信号出力端114は、フレームメモリ2の入力端及び差動増幅器3の一方の入力端に接続されている。前記フレームメモリ2の出力端は前記差動増幅器3の他方の入力端に接続され、差動増幅器3の出力端はゲート回路4の入力端に接続されている。5はタイミング発生器で、イメージセンサ1、フレームメモリ2及びゲート回路4に接続され、これらに必要なクロックパルス及びタイミングパルスを与えるように構成されている。

このように構成された固体撮像装置において、非破壊読み出しが可能なイメージセンサ1の垂直走査回路113を動作させ、リセットパルスとその直後に読み出しパルスを行ライン毎に順次画素を構成するSITに印加する。この時読み出される出力信号は、積分時間が非常に短いことから暗出力をみなされ、これにはリセットパルス及び読み出しパルスがそれぞれの画素に印加された時、それぞれの画素に発生するリセットレベル及び読み出しレベルのばらつきと、画素信号の読み出し回路の特性の

ばらつきが含まれる。

このようにして読み出された、第2図(A)に示すようなイメージセンサ1の各画素の暗時出力信号の1フレーム分をフレームメモリ2に書き込み記憶させる。所定の積分時間 T_{int} 経過後、イメージセンサ1に再度読み出しパルスを印加し、それぞれの画素に蓄積された光信号を読み出す。この時、同時にタイミング発生器5からのタイミングパルスにより、イメージセンサ1から読み出される各画素の光信号とそれに対応する同一の各画素の暗時出力信号を、フレームメモリ2から読み出し、そしてこれらの両信号を差動増幅器3に印加し、イメージセンサ1の出力信号とフレームメモリ2の出力信号の差信号を得る。そして所定時間積分後イメージセンサ1から光出力信号が読み出される時のみ入力信号をその出力端に伝送するようにタイミング発生器5によって制御されたゲート回路4を経て、第2図(B)に示すような、イメージセンサの出力信号から暗時出力信号の除去された出力信号 V_{out} が得られる。

次に本発明を先に提案した固体撮像装置に適用した具体的な固体撮像装置の構成例について説明する。第3図は、その回路構成図である。図において、10-11, 10-12, ..., 10-14, 10-21, 10-22, ..., 10-24, ..., 10-44は、画素を構成するSITであり、この実施例ではこれらのSITを説明の便宜上4行4列にマトリックス状に縦横に配列した例を示している。縦に配列されたSITの各ソースは列ライン11-1, 11-2, ..., 11-4に共通に接続され、また横に配列されたSITのゲートはキャバシタを介して行ライン12-1, 12-2, ..., 12-4にそれぞれ接続されている。そして列ライン11-1, 11-2, ..., 11-4はサンプル用MOSFET20-1, 20-2, ..., 20-4のドレイン-ソース通路を経て、ドライブ用MOSFET18-1, 18-2, ..., 18-4のゲートにそれぞれ接続され、またサンプル用MOSFET20-1, 20-2, ..., 20-4の各ゲートには共通にサンプルホールドパルス ϕ_{sh} を印加するように構成されている。またドライブ用MOSFET18-1, 18-2, ..., 18-4のドレインは基板電源 V_{dd} に共通に接続され、それらのソース

10 * 13-2, ..., 13-4を介してビデオライン14に接続されている。スイッチ用MOSFET13-1, 13-2, ..., 13-4の各ゲートは水平走査回路15に接続され、水平走査パルス $\phi_1, \phi_2, \dots, \phi_4$ が印加されるようになっている。またビデオライン14には負荷抵抗 R 及びリセット用MOSFET19が並列に接続されており、リセット用MOSFET19のゲートにはビデオラインリセットパルス ϕ_{rs} が印加されるようになっている。

一方、行ライン12-1, 12-2, ..., 12-4は垂直走査回路16に接続され、垂直走査パルス $\phi_{v1}, \phi_{v2}, \dots, \phi_{v4}$ が印加されるようになっている。更に列ライン11-1, 11-2, ..., 11-4の前記サンプル用MOSFET20-1, 20-2, ..., 20-4に接続する側とは反対側の端部は、それぞれ列ラインリセット用MOSFET21-1, 21-2, ..., 21-4を介して接地され、これらの列ラインリセット用MOSFETの各ゲートには、共通に画素SITの列ラインリセットパルス ϕ_{rl} が印加されるようになっている。なお画素を構成する各SITのドレインはドレイン電源 V_{dd} に共通に接続されている。

次にこの構成例の動作を、第4図に示す駆動パルス、出力信号 V_{sig} 波形、ゲート電位及びソース電位のタイミングチャートを参照しながら説明する。なお、ゲート電位及びソース電位としては、SIT10-33のゲート電位及びソース電位を例示している。列ラインリセットパルス ϕ_{rl} により列ラインリセット用MOSFET21-1, 21-2, ..., 21-4がターンオンし、垂直走査パルス ϕ_{v1} がリセットレベル V_{rl} となると、その行ライン12-1につながる画素SITのゲート-ソースで構成されるダイオードは順バイアスとなり、ゲート電位はそのダイオードの順方向閾値電圧 V_{th} となり、ソース電位はGNDレベルとなる。その後に列ラインリセット用MOSFET21-1, 21-2, ..., 21-4をターンオフし、垂直走査パルス ϕ_{v1} が読み出しレベル V_{rd} となると、ゲートがリセット状態から読み出し状態になるまでに、ゲートに蓄積される光電荷 ΔQ はほぼ零とみなせるから、この時のゲート電位 V_{g1} は、

$$V_{g1} = \phi_{rl} + \frac{(V_{rd} - V_{g1})}{C_s + C_g}$$

..... (1)

となる。なおこのゲート電位 V_{g1} は各画素によって、ゲート-ソース間ダイオードの特性や、 C_g, C_s の大きさのばらつきにより異なるものと考えられる。また前記リセット動作の不完全性などにより、ゲートのリセッ*

*ト電位が ϕ_{rl} より少しずれていることも考えられる。このずれ量を ΔV_{g1} とすると、各画素のリセット直後に読み出しレベル V_{rd} を印加した時のゲート電位 $V_{g1,i}$ ($i=1, 2, \dots, 4$)は、

9

10

$$V_{c_{0ij}} = \phi_{0ij} + \frac{C_c}{C_{c_{0ij}} + C_{s_{0ij}}} (V_{RD} - V_{RS}) \\ + \Delta V_{Lij} \quad \dots \dots (2)$$

となる。

垂直走査パルス ϕ_{0ij} が読み出しレベル V_{RD} になると、列ラインの寄生容量 C_c は、 $(V_{RD} - V_p)$ の電位に充電される(第7図及び第8図参照)。この時ピントオフ電圧 V_p は、 $V_p < \phi_{0ij}$ の関係にあるから、SITのゲート-ソース間ダイオードは ϕ_{0ij} を越えることがない。したがってSIT*

$$V_{s_{0ij}} = V_{c_{0ij}} - V_{p_{ij}}$$

*のソースにはゲートのリセット電位に対応した電位が実際に現れる。なおピントオフ電圧 V_p は画素構造のばらつきなどによって画素毎に異なるものと考えられる。よって各画素SITのピントオフ電圧 V_p を $V_{p_{ij}}$ とおくと、各SITのゲートに読み出しレベル V_{RD} を印加した時のそれにつながるソース電位 $V_{s_{0ij}}$ は、

$$= \phi_{0ij} + \frac{C_{c_{0ij}}}{C_{c_{0ij}} + C_{s_{0ij}}} (V_{RD} - V_{RS}) \\ + \Delta V_{Lij} - V_{p_{ij}} \quad \dots \dots (3)$$

となる。

この状態で、サンプル用MOSFET20-1, 20-2, ..., 20-4のゲートに印加するサンプルホールドパルス ϕ_{sh} をHighレベルにすると、i番目の行ラインの画素SITのソース電位は一齊にサンプル用MOSFET20-1, 20-2, ..., 20-4を介してドライブ用MOSFET18-1, 18-2, ..., 18-4のゲートに伝達され、サンプルホールドパルス ϕ_{sh} をLowレベルとした後もドライブ用MOSFET18-1, 18-2, ..., 18-4のゲート容量に保持される。その後、垂直走査パルス ϕ_{0ij} をLowレベルとする。なお、 $\phi_{0ij} = V_{RD}$ とするタイミングは、サンプルホールドパルス ϕ_{sh} をHighレベルにしたあとでもよい。また列ラインリセットパルス ϕ_{sr} はサンプルホールドパルス ϕ_{sh} がターンオフした後ターン*

$$V_{s_{100ij}} = a_j V'_{s_{0ij}}$$

*オンし、次のラインの垂直走査パルス $\phi_{0(i+1)}$ が V_{RD} となる直前にターンオフするようにし、 ϕ_{sr} ($i = 1, 2, \dots, 4$) は ϕ_{0ij} と同じタイミングもしくは ϕ_{0ij} が High レベルの期間中にリセットレベル V_{RS} とする。

ドライブ用MOSFET18-iのゲート容量にホールドされた電圧信号 $V'_{s_{0ij}}$ ($= V_{s_{0ij}}$) は、サンプルホールドパルス ϕ_{sh} が Low レベルの期間に、水平走査パルス ϕ_{hs} ($j = 1, 2, \dots, 4$) でスイッチ用MOSFET13-jをオンすることにより順次読み出す、ここで出力電圧 $V_{s_{100ij}}$ は、ドライブ用MOSFET18-j、スイッチ用MOSFET13-j及び負荷抵抗 R_L で構成されるソースフォロワの電圧利得を a_j とすると、

$$= a_j (\phi_{0ij} + \frac{C_{c_{0ij}}}{C_{c_{0ij}} + C_{s_{0ij}}} (V_{RD} - V_{RS}) + \Delta V_{Lij} - V_{p_{ij}}) \quad \dots \dots (4)$$

となる。

この出力信号 $V_{s_{100ij}}$ の全画素1フレーム分を、第1図に示したフレームメモリ2に順次書き込み記憶させる。この間、ゲート回路4はタイミング発生器4により制御され、入力信号をその出力端に伝達しないようになっている。

所定の積分時間経過後、今度はリセットレベル V_{RS} を

★印加しない読み出しレベル V_{RD} のみの垂直走査パルス ϕ_{0ij} を、垂直走査回路16から行ライン12-1, 12-2, ..., 12-4に順次印加する。積分時間 T_{int} にゲートに蓄積された光電荷を ΔQ_{ij} とすると、読み出しレベル V_{RD} が垂直走査パルス ϕ_{0ij} に現れた時の画素SITのゲート電位 $V_{g_{0ij}}$ 及びそれにつながるソースラインの電位 $V_{s_{0ij}}$ は、

★50

(6)

特許2610438

11

12

$$V_{sigij} = \phi_{sigij} + \frac{C_{sigj}}{C_{sigj} + C_{sij}} \cdot (V_{RD} - V_{RS}) + \frac{\Delta Q_{ij}}{C_{sigj} + C_{sij}} + \Delta V_{lij} \quad \dots \dots (5)$$

$$V_{sij} = V_{sigij} - V_{Rij}$$

$$\begin{aligned} &= \phi_{sij} + \frac{C_{sij}}{C_{sij} + C_{sij}} \cdot (V_{RD} - V_{RS}) + \frac{\Delta Q_{ij}}{C_{sij} + C_{sij}} \\ &\quad + \Delta V_{lij} - V_{Rij} \end{aligned} \quad \dots \dots (6)$$

となる。

次に前述したように、水平走査回路15により順次各列*イン14に次式で示す画素信号 V_{sigij} が現れる。

$$\begin{aligned} V_{sigij} &= a_j \left(\phi_{sigij} + \frac{C_{sigj}}{C_{sigj} + C_{sij}} \cdot (V_{RD} - V_{RS}) + \frac{\Delta Q_{ij}}{C_{sigj} + C_{sij}} \right. \\ &\quad \left. + \Delta V_{lij} - V_{Rij} \right) \end{aligned} \quad \dots \dots (7)$$

ビデオライン14にこれらの画素信号 V_{sigij} を読み出 * V_{sigij} を読み出し、差動増幅器3により、これらの両信号と同時に、タイミング発生器5の制御により、フレームメモリ2からそれぞれ対応する画素の先のフレームの40この差信号 V_{sigdij} を得る。
信号、すなわちリセット直後の各画素の信号出力 V_{sigdij} は(4), (7)式より次のよう

$$V_{sigdij} = V_{sigij} - V_{sigdij}$$

$$= a_j \frac{\Delta Q_{ij}}{C_{sigj} + C_{sij}} \quad \dots \dots (8)$$

次いでゲート回路4はタイミング発生器5により、1フレーム分の差信号 V_{sigdij} のみを出力信号 V_{out} として出力端に伝達する。

* 上記(8)式には、 ϕ_{sij} , ΔV_{lij} 及び V_{Rij} の項がないことからわかるように、以上のようにして得られた1フレーム50一ム分のイメージセンサの出力信号 V_{out} には、画素毎の

13

ゲート・ソース間ダイオードのばらつきや C_s , C_d の比率のばらつきやリセット動作の不完全性などによるゲートのリセット電位のばらつき、及び画素SITのビンチオフ電圧 V_f のばらつきによる読み出し電位のばらつきによる影響は現れない。

また上記(8)式中にある列ライン毎のソースフォローワンプの利得 β は、それを構成するドライブ用MOSFETやスイッチ用MOSFETの V_t や γ_m のチップ内のばらつき程度では、殆ど変化しないことが実験で確かめられている。

したがって、以上のように構成し、イメージセンサから出力信号を得ることにより、イメージセンサの性能を損なうことなく、非常に高いSN比、すなわち高感度で残像のない出力信号を得ることができる。

第5図は、本発明に係る固体撮像装置の駆動方法を説明するためのイメージセンサの他の構成例を示す図である。このイメージセンサは画素としてSITの代わりに、SITと同様に非破壊読み出しが可能で内部増幅機能をもつCMD(Charge Modulation Device)を用いたものである。このCMDの詳細な技術内容は、例えば1986年テレビジョン学会全国大会予稿集第57~58頁の「ゲート蓄積型MOSフォトトランジスタ・イメージセンサ」と題する論文に示されている。

この構成例においても、画素を構成するCMD30-11, 30-12, ..., 30-14, 30-21, 30-22, ..., 30-44は、4行4列にマトリックス状に縦横に配列した例を示しており、第3図に示した構成例と同等又は対応する部材には同一符号を付して示している。CMDを画素として構成したイメージセンサにおいて生ずる各種ノイズの発生様相は、SITを画素としたイメージセンサの場合と若干相違するけれども、このCMDを画素として構成したイメージセンサに本発明を適用した場合も、イメージセンサの信号出力に現れる種々のノイズを有効に除去し、SN比の向上した高感度の固体撮像装置が得られる。

また上記各構成例は、2次元のエリアセンサに本発明

14

を適用したものを見たが、第6図に示すように、第3図に示したイメージセンサの1行ラインで構成したラインセンサにも本発明を適用することができ、その場合も同様な作用効果が得られる。

【発明の効果】

以上詳細に説明したように、本発明によれば、イメージセンサのリセット直後の暗出力信号を非破壊的に読み出し、これをフレームメモリに記憶し、所定時間積分後の画素光信号を読み出す時に、フレームメモリに記憶

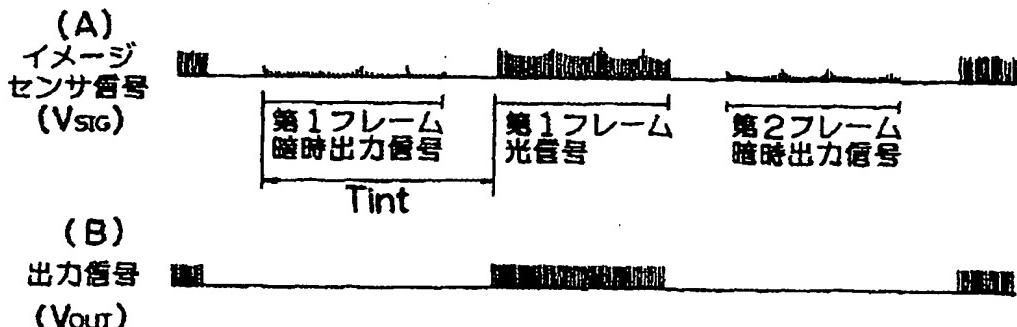
10 時してある暗出力信号を差し引きながら出力するように構成したので、リセット動作毎すなわち1フレーム毎に暗出力信号が得られ、イメージセンサの画素構造及び特性のばらつきに起因する暗時出力のばらつき、並びに同一画素においてリセット動作毎に変わる暗時出力の時間的揺らぎ等を取り除くことができ、SN比が高く残像のない出力信号の得られる高感度の固体撮像装置を実現することができる。また暗出力信号の読み出しには遮光する必要がなく、光入射のままで可能であり、遮光動作を必要としないという利点も得られる。

【図面の簡単な説明】

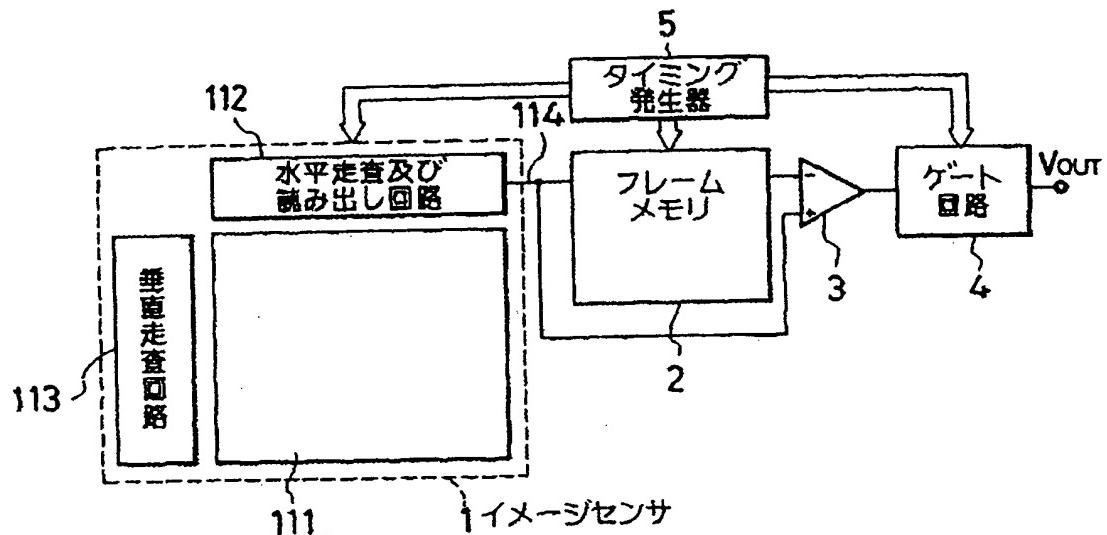
第1図は、本発明に係る固体撮像装置の駆動方法を説明するための固体撮像装置の基本的な構成例を示すプロック構成図、第2図は、第1図に示した固体撮像装置における、イメージセンサ信号及び固体撮像装置の出力信号を示す図、第3図は、イメージセンサの一構成例を示す回路構成図、第4図は、その動作を説明するための信号波形図、第5図及び第6図は、イメージセンサの他の構成例を示す回路構成図、第7図は、従来の固体撮像装置の一画素に着目した時の回路構成図、第8図は、その動作を説明するための信号波形図である。

図において、1はイメージセンサ、111はSIT画素、112は水平走査及び読み出し回路、113は垂直走査回路、2はフレームメモリ、3は差動増幅器、4はゲート回路、5はタイミング発生器を示す。

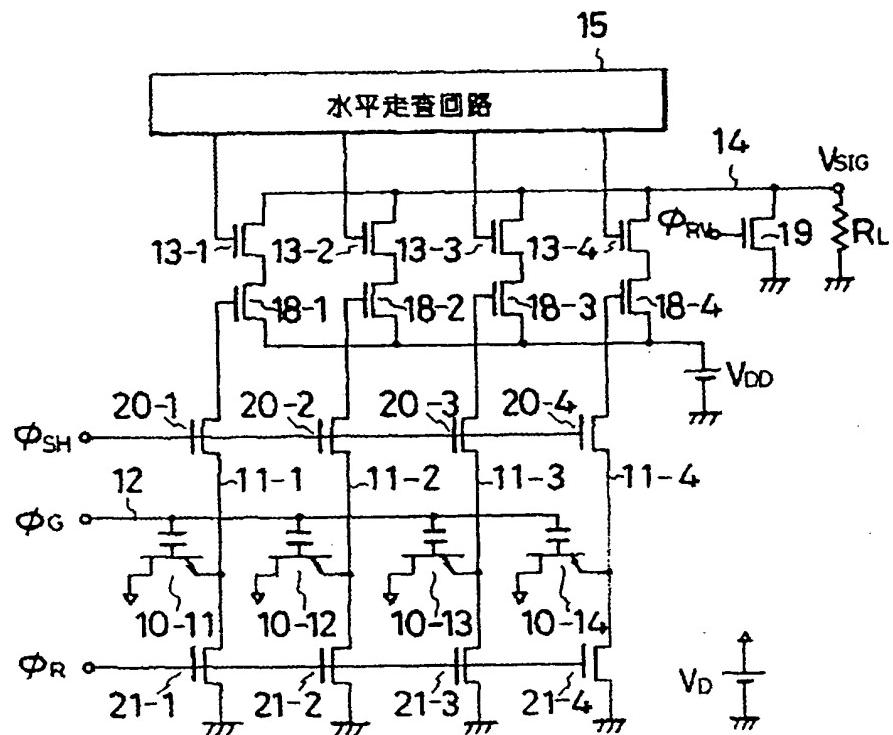
【第2図】



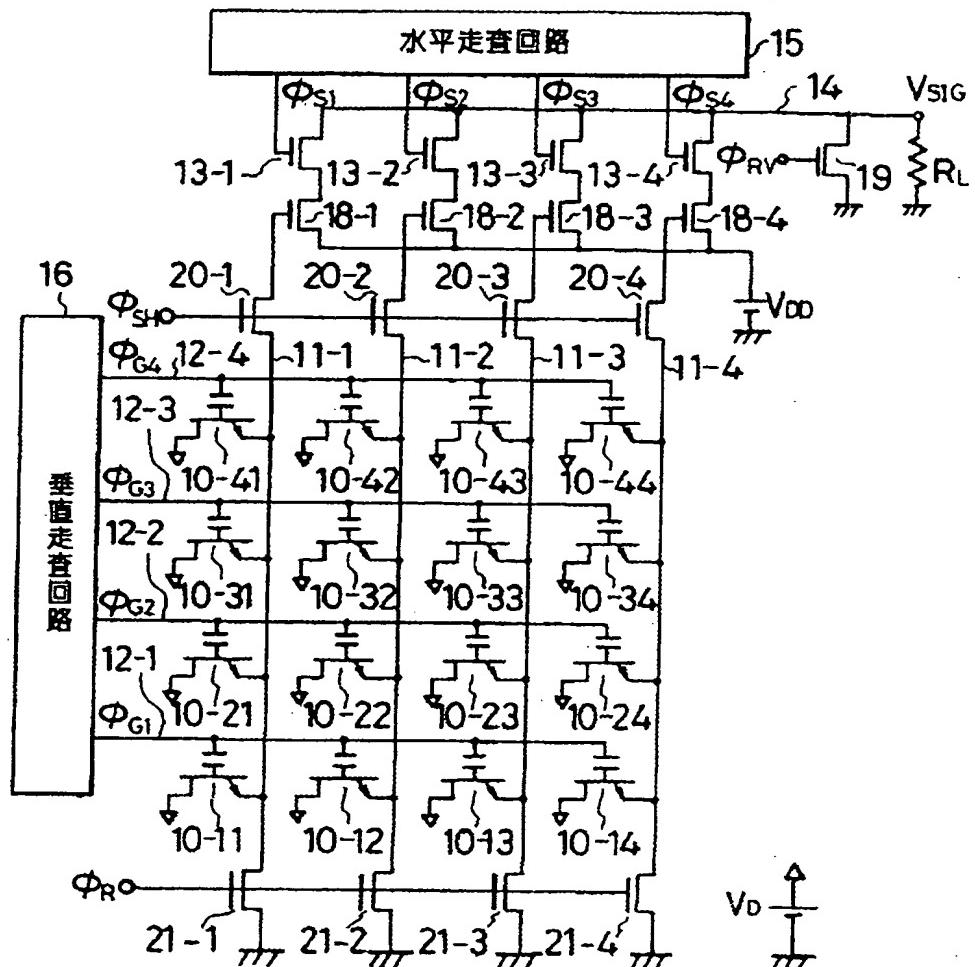
【第1図】



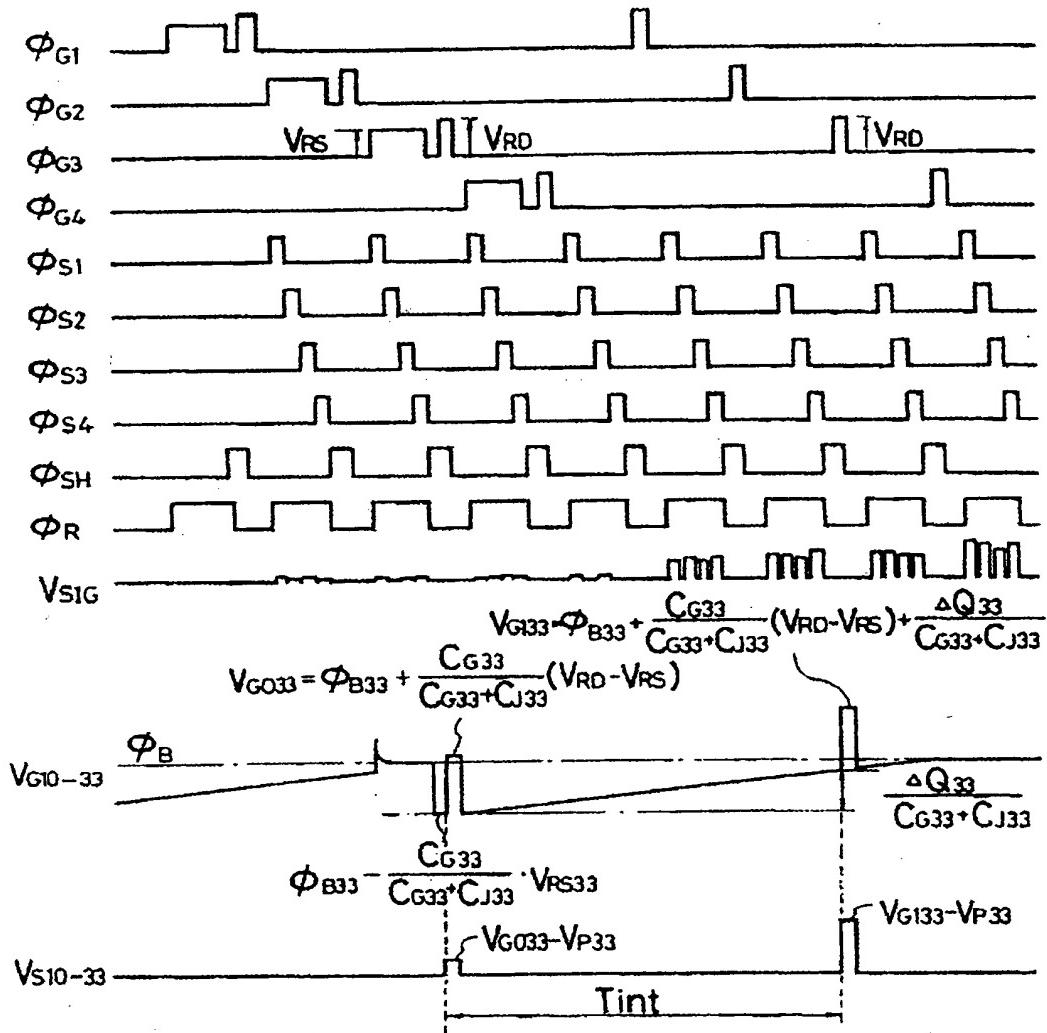
【第6図】



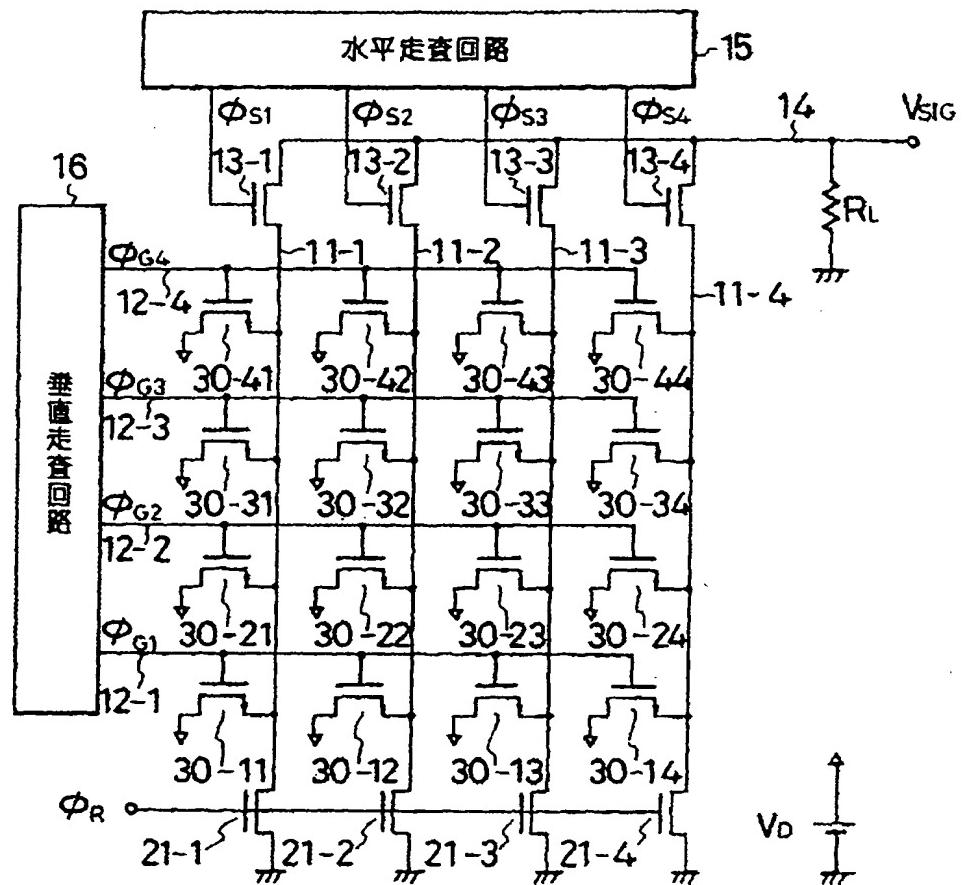
【第3図】



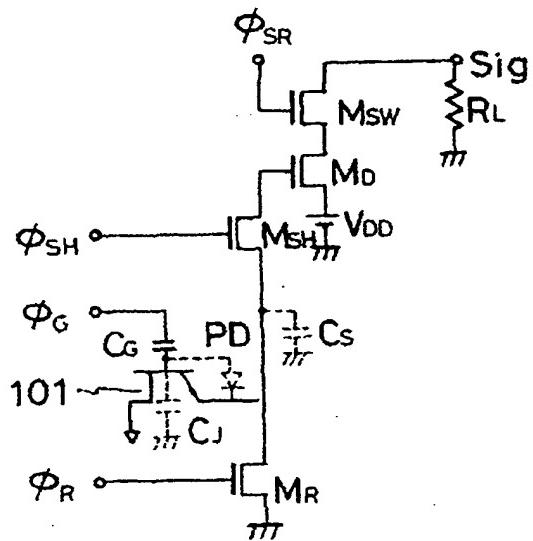
【第4図】



【第5図】



【第7図】



【第8図】

